

CLIPPEDIMAGE= JP359148352A

PAT-NO: JP359148352A

DOCUMENT-IDENTIFIER: JP 59148352 A

TITLE: ELECTRODE FORMATION FOR SEMICONDUCTOR DEVICE

PUBN-DATE: August 25, 1984

INVENTOR-INFORMATION:

NAME

EHATA, HISAO

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTR & ELECTRONICS LTD

COUNTRY

N/A

APPL-NO: JP58022310

APPL-DATE: February 14, 1983

INT-CL (IPC): H01L021/92

US-CL-CURRENT: 438/614, 438/FOR.343

ABSTRACT:

PURPOSE: To improve the workability and thus reduce the working cost by a method wherein a vapor deposition method using a metallic mask is adopted to form a base metal and a barrier layer.

CONSTITUTION: A semiconductor element region is formed on a semiconductor wafer 1, and an Al wiring 3 is formed on the surface oxide film 2 thereof and then exposed as a wiring terminal part by window open etching a part of the final passivation film 4. Next, the metallic mask 7 with said terminal part as a through hole is superposed, and a Cu film 5 is formed as the base metal by a vacuum vapor deposition method, next a Cu film 6 is formed as the barrier

layer. When reflow treatment is performed by making a transparent heat resisting substrate 10 loaded with a solder ball 8 by adhesion oppose to said terminal part, thus being superposed on said wafer and positioned, a solder electrode 8' is transcribed on the Cu barrier layer 6 by the effect of a flux 9.

COPYRIGHT: (C) 1984, JPO&Japio

⑯日本国特許庁 (JP)  
⑰公開特許公報 (A)

⑮特許出願公開

昭59-148352

⑯Int. Cl.<sup>3</sup>  
H 01 L 21/92

識別記号

厅内整理番号  
7638-5F

⑯公開 昭和59年(1984)8月25日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮半導体装置の電極形成方法

⑯特 願 昭58-22310  
⑯出 願 昭58(1983)2月14日  
⑯發明者 江幡久夫  
東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内  
⑯出願人 セイコー電子工業株式会社  
東京都江東区亀戸6丁目31番1  
号  
⑯代理人 弁理士 最上務

明細書

1. 発明の名称 半導体装置の電極形成方法

2. 特許請求の範囲

(1) 半導体基板上に設けられた配線金属上の一  
部にメタルマスクを使用して下地金属及びバリア  
層を蒸着により形成する工程と、他の透明耐熱基  
板表面に粘着塗料を塗布する工程と該粘着塗料を  
塗布した前記透明耐熱基板上にメタルマスクを重  
ね合わせ該メタルマスクを通してはんだ球を粘着  
させる工程と該はんだ球を粘着搭載させた前記透  
明耐熱基板により前記下地金属表面の所望の位置  
にはんだ電極を形成するための位置決めを行なう  
工程と前記はんだ球をリフローにより前記下地金  
属上に転写してバンプ状電極を形成する工程とから  
なるはんだ電極形成法。

(2) 前記透明耐熱基板に塗布するはんだ球粘着  
塗料としてフラックスを使用すると共に透明耐熱  
基板として耐熱ガラス及び石英を使用する特許請

求の範囲第1項記載のはんだ電極形成法。

3. 発明の詳細な説明

本発明は半導体装置におけるバンプ状はんだ電  
極の形成方法に関する。

I-Cを配線基板にポンディングする方法に、電  
極面を配線基板の配線面に対向させるいわゆる  
「フェースダウンポンディング」があり、それ用  
の半導体チップは、バンプ状はんだ電極が多く採  
用されている。

このはんだ電極は半導体素子のウエーブ段階で  
基板上に形成するが、従来から用いられている方  
法に電気めつき法がある。

電気めつき法は基板表面に、第1下地金属をス  
パッタリング及びホトエッチングにより形成し、  
更に第2下地金属をスパッタリングにより形成し、  
電極形成部を除いてホトレジストで覆い、Cロバ  
リア層及びはんだ電極を電気めつき法により形成  
し、ホトレジストを除去し、第2下地金属をエッ  
チングにより除去し、リフロー処理を行なうこと

によつてパンプ状電極を形成するものであり、工程が煩雑となり加工コストがかさむ欠点があつた。

本発明は上記に鑑み、下地金属及びバリア層の形成にはメタルマスクを用いた蒸着法を採用することによりホトエッティング工程を無くし、はんだ電極の形成には、リフロー処理のみによりはんだ球をバリア層表面に転写して形成することにより、ホトレジスト及びエッティング工程を無くし、作業性を良くし、加工コストを節減し得るパンプ電極形成法を提供するものである。

以下、第1図、第2図に基づいて本発明の実施例を詳細に説明する。

第1図(a)～(d)は、本発明の実施例の主要製造工程を示す。第1図(a)に示すようにS1(シリコン)半導体ウエハ1に公知の選択拡散工程により半導体素子領域を形成し、その表面酸化膜(SiO<sub>2</sub>)2上にAl配線3を形成し、この上を覆う最終のバシベーション、例えばCVD・PSG膜4の一部を密閉エッティングして配線端子部として露出させる。

以上実施例で述べた方法によれば、下記の理由でコスト軽減が可能となる。

下地金属及びバリア層の形成には、メタルマスクを用いた蒸着法を採用することによりホトエッティング工程を無くし、更にはんだ電極の形成には、リフロー処理のみによりはんだ球を転写する方法を採用することでホトレジスト、エッティング、電気めつきの各工程を無くすことができる。また、転写するハンド球を粘着搭載する基板に透明耐熱基板を採用することにより、はんだ球と電極形成位置との位置合わせが容易になる。

この発明は前記実施例により拘束されるものでなく、これ以外に下記変形例を有する。

例えば、Cr下地金属の形成をスパッタリングを用いるあるいはCrバリア層の形成を電気めつきを用いる方法がある。

この発明は半導体素子のはんだパンプ電極の形成に利用して有効である。

第1図(b)に示すように配線端子部をスルーホールにしたメタルマスク7を重ね合わせ、真空蒸着法によりCr膜5を1500Å厚に下地金属として形成し、次いでCr膜6を約5～10μm厚にバリア層として形成する。

第2図は、Crバリア層表面に転写されるはんだ球を透明耐熱基板上に粘着させたものである。耐熱ガラスあるいは石英板10上にフラックス9を塗布し、次いで配線端子部に対応する位置にスルーホールを設けたメタルマスク11を重ね合わせ、スルーホールに直径約150μmのはんだ球8を投入し、フラックス9により透明耐熱基板10に粘着させる。

第1図(c)に示すように第2図のはんだ球を粘着搭載した透明耐熱基板10を配線端子部に対向させ半導体ウエハに重ね合わせ位置決めを行ない、リフロー処理を行なう。

第1図(d)に示すようにリフロー処理によりはんだ球8はフラックス9の効果によりCrバリア層6上にはんだ電極8'が転写される。

#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例における主要工程順の電極形成部断面図。

第2図ははんだ球粘着基板断面図である。

- 1 …… S1 半導体ウエハ、
- 2 …… 酸化膜、 3 …… Al配線、
- 4 …… 最終バシベーション膜、
- 5 …… Cr膜、 6 …… Crバリア層、
- 7 …… メタルマスク、 8 …… はんだ球、
- 8' …… はんだ電極、 9 …… フラックス、
- 10 …… 透明耐熱基板、 11 …… メタルマスク。

以上

出願人 株式会社 第二精工舎  
代理人 弁理士 最上 満

